

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JPO971 U.S. PRO  
10/083494  
02/27/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2001年 3月21日

出 願 番 号

Application Number:

特願2001-080206

[ST.10/C]:

[JP2001-080206]

出 願 人

Applicant(s):

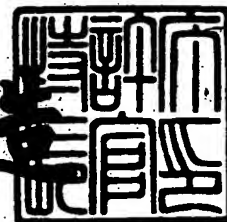
日本ビクター株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 2月15日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3007925

【書類名】 特許願

【整理番号】 413000212

【提出日】 平成13年 3月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 20/10

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

【氏名】 戸波 淳一郎

【特許出願人】

【識別番号】 000004329

【氏名又は名称】 日本ビクター株式会社

【代表者】 守随 武雄

【手数料の表示】

【予納台帳番号】 003654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号再生装置

【特許請求の範囲】

【請求項1】

スライスレベル制御信号に基づき、スレッシュホールドレベルもしくは再生信号のDCレベルを制御して、相対的に入力再生信号のスライスレベルを制御し、2値化後信号を出力する2値化手段と、

前記2値化手段の出力する前記2値化後信号に基づき、前記スライスレベル制御信号を出力するスライスレベル制御信号出力手段と、

前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、

前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記2値化手段と前記スライスレベル制御手段とから構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置。

【請求項2】

スライスレベル制御信号に基づき、スレッシュホールドレベルもしくは再生信号のDCレベルを制御して、相対的に入力再生信号のスライスレベルを制御し、2値化後信号を出力する2値化手段と、

前記2値化手段の出力する前記2値化後信号に基づき、前記スライスレベル制御信号を出力するスライスレベル制御信号出力手段と、

前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、

前記第 1 のラン長値と第 2 のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第 1 のラン長値あるいは第 2 のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記 2 値化手段の前記入力再生信号のスライスレベルの制御を停止させることを特徴とするデジタル信号再生装置。

### 【請求項 3】

DC 制御信号に基づき、再生信号の DC レベルを制御する DC 制御手段と、

前記 DC 制御手段の出力を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、

前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して 2 値化し、2 値化後信号を出力する 2 値化手段と、

前記 2 値化手段の出力する前記 2 値化後信号に基づき、前記 DC 制御信号を出力する DC 制御信号出力手段と、

前記 2 値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第 1 のラン長値および第 2 のラン長値として出力するラン長計数手段と、

前記第 1 のラン長値と第 2 のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第 1 のラン長値あるいは第 2 のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記 DC 制御手段、前記サンプリング手段、前記 2 値化手段、および前記 DC 制御信号出力手段から構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置。

【請求項 4】

DC制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、  
前記DC制御手段の出力を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、  
前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、

前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、

前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、

前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段のDCレベル制御を停止させることを特徴とするデジタル信号再生装置。

【請求項 5】

再生信号を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、

前記サンプリング後信号を、DC制御信号に基づき、DCレベルを制御するDC制御手段と、

前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、

前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、

前記 2 値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第 1 のラン長値および第 2 のラン長値として出力するラン長計数手段と、

前記第 1 のラン長値と第 2 のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第 1 のラン長値あるいは第 2 のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記 DC 制御手段、前記サンプリング手段、前記 2 値化手段、および DC 制御信号出力手段から構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置。

【請求項 6】

再生信号を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、

前記サンプリング後信号を、DC 制御信号に基づき、DC レベルを制御する DC 制御手段と、

前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して 2 値化し、2 値化後信号を出力する 2 値化手段と、

前記 2 値化手段の出力する前記 2 値化後信号に基づき、前記 DC 制御信号を出力する DC 制御信号出力手段と、

前記 2 値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第 1 のラン長値および第 2 のラン長値として出力するラン長計数手段と、

前記第 1 のラン長値と第 2 のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第 1 のラン長値あるいは第 2 のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、

前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段の前記DCレベルの制御を停止させることを特徴とするデジタル信号再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル信号再生装置に係り、特に光ディスク等の記録媒体から再生されたデジタル信号を復号するデジタル信号再生装置に関する。

【0002】

【従来の技術】

光ディスクに高密度記録されたデジタル信号を再生するデジタル信号再生装置では、光ディスクの感度ばらつきや半導体レーザの経年変化などにより、記録信号形状が変動し、再生信号のDC成分が変動したり、上下非対称となることがあるので、再生信号の2値コンパレートの閾値を適切に制御するスライスレベルコントロールが使用されている。これは、例えば、検出系においては、信号のDC成分や2値化後のデューティーずれを検出することにより、制御系においては、スレッシュールドレベルもしくは再生信号のDCレベルを制御して、相対的にスライスレベルを制御するスライスレベル制御手段を用いることで実現することが出来る。DVD規格でも、2値化後のデューティーずれを検出して、それをスレッシュールドレベルとしてフィードバックする方法で、ジッタ測定系を定めている（図18参照）。

【0003】

コンパレータ901に再生信号とスライスレベルであるスレッシュールドレベルが入力され、その出力は2値化データとして出力されると同時に、OPアンプ902に差動入力される。増幅された信号はOPアンプ903によって低域フィルタをかけられ、デューティーによって生ずる低域周波数成分が抽出され、スライスレベル（スレッシュールドレベル）として増幅器901に供給される。

【0004】

これを機能ブロック図で表示すると図19のようになる。2値化手段904に再生信号とスライスレベル（スレッシュールドレベル）が入力され、その出力は

2 値化データとして出力されると同時に、増幅手段 9 0 5 に供給される。増幅回路 9 0 5 の出力は、積分手段 9 0 6 に供給され、低域フィルタリングにより、デューティによって生ずる低域周波数成分が抽出される。その出力は、スライスレベル（スレッシュールドレベル）として 2 値化手段に供給される。

## 【 0 0 0 5 】

このような構成にする事により、スライスレベルは、常に信号のデューティの中心に位置するように制御され、記録時の変調が、各ランレングスでランダムになるように、かつ 1, 0 の発生確率もほぼ等しくなるように制御されている場合には、光ディスク特有の記録パワーなどによる上下非対称性に影響されることなく正しいスライスレベル（スレッシュールドレベル）を設定出来、かつ簡単な回路で実現出来るので、有効な手段であった。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

しかるに、従来の技術では、記録される変調信号の変調コードパターンに偏りが生じた場合に、誤動作を起こし、正しい検出を行うことが出来ない。図 3 はこの状態を説明するためのアイパターンを示しており、a) が通常の状態、中央の横線は、適切なスライスレベルを示している。

## 【 0 0 0 7 】

これに対し、b) が DC ずれが生じている状態、c) がレーザーパワーなどにより上下対称性が崩れた場合を示しており、いずれも、a) の状態と同じスライスレベル（図の中央の横線）では正しい判別が出来ないので、前述のスライスレベルコントロールなどが、この場合はスライスレベルを下に下げようとする（もしくは信号を上げようとする）。

## 【 0 0 0 8 】

さらに、d) は変調コードパターンに偏りが生じた場合を示しており、適切なスライスレベルは a) と同じ位置が望ましい。しかし、従来のスライスレベルコントロールでは、b) や c) の状態と、この d) の状態の違いを判別することは不可能であり、本来、スライスレベルは動かさなくても良いのにもかかわらず、スライスレベルを下げる（もしくは信号を上げる）方向に制御が働くので、正し



い再生が行えなくなってしまう。

【 0 0 0 9 】

そこで、DVDなどの場合、記録側の変調信号生成時に、DSVコントロール・代替テーブル・Syncパターン・結合ビットなどを用いて、なるべく低域周波数成分を低減することにより、d)の状態の発生頻度・程度を抑え、再生時のスライスレベルコントロールとしては、特に対応しなくても良いようにシステムを構成していた。しかし、高密度化にともない、変調信号の変調効率も重要となっており、低域周波数成分を十分に低減するための結合ビット等を可能な限り少なくする必要に迫られている。

【 0 0 1 0 】

前述したように、変調信号生成時にデータパターンを先読みし、Syncパターンを切り替えることによって、影響を軽減することも考えられるが、基本的にSync内でb)やc)の状態をa)の状態にもっていくことがスライスレベルコントロール回路の役割なので、その時定数では、d)の場合にもDC成分の変化に反応してしまい、つまり、誤動作によってスライスレベルが変動してしまい、Sync内で、やはり、正しく再生できない領域が発生する。この様子を図4に示す。よって、d)の状態にも対応しうる適切なスライスレベルコントロールの改善が望まれていた。

【 0 0 1 1 】

本発明は以上の点に鑑みなされたもので、高密度記録された記録媒体の再生信号に対しても、b) c) d) 全ての状態に適切に対応しうるスライスレベルコントロールを含むデジタル信号再生装置を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

本発明は上述した問題点を解決するために、スライスレベル制御信号に基づき、スレッシュホールドレベルもしくは再生信号のDCレベルを制御して、相対的に入力再生信号のスライスレベルを制御し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記スライスレベル制御信号を出力するスライスレベル制御信号出力手段と、前記2値化後信号の各反

転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記2値化手段と前記スライスレベル制御手段とから構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置を提供する。

## 【0013】

また、本発明は上述した問題点を解決するために、スライスレベル制御信号に基づき、スレッシュホールドレベルもしくは再生信号のDCレベルを制御して、相対的に入力再生信号のスライスレベルを制御し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記スライスレベル制御信号を出力するスライスレベル制御信号出力手段と、前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記2値化手段の前記入力再生信号のスライスレベルの制御を停止させることを特徴とするデジタル信号再生装置を提供する。

## 【0014】

また、本発明は上述した問題点を解決するために、DC制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、前記DC制御手段の出力を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリング

した信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段、前記サンプリング手段、前記2値化手段、および前記DC制御信号出力手段から構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置を提供する。

## 【0015】

また、本発明は上述した問題点を解決するために、DC制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、前記DC制御手段の出力を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段のDCレベル制御を停止させることを特徴とするデジタル信号再生装置を提供する。

## 【0016】

また、本発明は上述した問題点を解決するために、再生信号を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号を、DC制御信号に基づき、DCレベルを制御するDC制御手段と、前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段、前記サンプリング手段、前記2値化手段、およびDC制御信号出力手段から構成されるループの応答特性を変化させることを特徴とするデジタル信号再生装置を提供する。

## 【 0 0 1 7 】

また、本発明は上述した問題点を解決するために、再生信号を所定のクロックでサンプリングし、サンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号を、DC制御信号に基づき、DCレベルを制御するDC制御手段と、前記サンプリング後信号もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化し、2値化後信号を出力する2値化手段と、前記2値化手段の出力する前記2値化後信号に基づき、前記DC制御信号を出力するDC制御信号出力手段と、前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さい

場合を判別し、ラン長判別情報を出力するラン長判別手段とを有し、前記上下非対称情報および前記ラン長判別情報に基づき、前記DC制御手段の前記DCレベルの制御を停止させることを特徴とするデジタル信号再生装置を提供する。

## 【0018】

## 【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるデジタル信号再生装置の第1の実施の形態のブロック図を示す。2値化手段1と積分手段6は、従来例の図19における2値化手段904と積分手段906と同様の構成である。

## 【0019】

同図において、光ディスク等の記録媒体から再生された再生信号は、図示しないプリアンプで前置増幅された後、図1の2値化手段1に入力される。2値化手段1は、再生信号と、積分手段3より供給されるスライスレベルとを比較し、2値化信号を出力する。この2値化信号は、復調データとしてブロック外部に出力される他、第1の増幅手段2、第2の増幅手段3及びコード偏り検出手段4に供給される。

## 【0020】

コード偏り検出手段4は、本発明の要部をなすものであり、変調コードに偏りがあるか否かを判別し、その結果であるコード偏り判別信号をゲイン切替手段5に供給する。内部の詳細は、後述する。

## 【0021】

増幅手段2及び増幅手段3は、入力された信号をそれぞれ異なるゲインで増幅して出力し、ゲイン切替手段5に供給する。ゲイン切替手段5は、コード偏り検出手段4より供給されたコード偏り判別信号に応じて、増幅手段2及び増幅手段3の入力いずれかを選択し、積分手段6に供給する。

## 【0022】

積分手段6は、入力された信号を低域フィルタリングし、低域周波数成分を抽出し、スライスレベル（スレッシュホールドレベル）として2値化手段1に供給する。

## 【 0 0 2 3 】

この実施例において、コード偏り検出手段 4 が変調コードに偏りがあると判断した場合には、ゲイン切替手段 5 がゲインが小さい方を選択し、結果として、スライスレベルのフィードバックループにおける時定数が大きく（応答が遅く）なり、反応が遅くなる。つまり、誤動作によるスライスレベルの変化を小さくすることで、正しい 2 値化信号が得られる。

## 【 0 0 2 4 】

このとき、ゲイン切り替えの極端な例として、ゲインを 0 にし、ホールド状態（無反応状態）にしても良いことはもちろんである。

## 【 0 0 2 5 】

次に、コード偏り検出手段 4 について、その構成を図 2 を用いて説明する。図 1 の 2 値化手段より供給された 2 値化信号は、図 2 の端子 4 1 より供給され、ラン長計数ブロック 4 2 に入力される。ラン長計数ブロック 4 2 の中では、計数器 4 2 2 に供給されるとともに、インバータ 4 2 1 を通して計数器 4 2 3 に供給される。計数器 4 2 2 と計数器 4 2 3 は同じ構成をしており、入力信号が 1 の期間の長さを、所定のシステムクロック（またはビットクロック）にて計数する。インバータ 4 2 1 を通している計数器 4 2 3 は、2 値化信号の 0 の期間の長さを、所望のシステムクロック（またはビットクロック）にて計数していることになる。計数器 4 2 2 と計数器 4 2 3 の出力は、それぞれラン長値（1）、ラン長値（2）としてブロックの外に出力されると同時に、加算器 4 2 4 にて加算され、その結果が比較手段 4 2 5 に入力される。比較手段は、入力された値が、予め内部に保持している所定の値よりも大きくなった場合に、例えば、イニシャル信号を 1 にし、そのほかの期間は 0 にする。イニシャル信号は計数器 4 2 2 及び 4 2 3 に入力され、1 のときは、計数をリセットする。ここで、加算器 4 2 4 の出力は、2 値化信号の時間的長さを計数したものにほかならず、つまり、システムクロック（またはビットクロック）の一定周期でイニシャル信号が 1 になり、計数器 4 2 2、4 2 3 をリセットすることになる。

## 【 0 0 2 6 】

ラン長値（1）及びラン長値（0）は、上下非対称性検出ブロック 4 3 にも供

給されており、その内部では、ラン長値（１）とラン長値（０）との減算を減算器４３１で行い、その結果を比較手段４３２に入力する。比較手段はその絶対値が、予め内部に保持している所定の値よりも大きくなった場合に、例えば、上下非対称情報を１にし、そのほかの期間は０にする。ここでは、ラン長値（１）とラン長値（０）の差がひらいていること、つまり上下のラン長が非対称であることを検出している。上下非対称情報はブロックの外部に出力される。

## 【 0 0 2 7 】

ラン長値（１）及びラン長値（０）は、ラン長判別ブロック４４にも供給されており、その内部では、ラン長値（１）は比較手段４４１に、ラン長値（０）は比較手段４４２に入力される。比較手段４４１と比較手段４４２は同じ構成をしており、予め内部に保持している所定の値よりも小さい場合に、例えば、１を、そのほかの期間は０にする。これらの結果はＯＲ回路４４３に供給され、論理和演算が行われて、その結果はラン長判別情報として出力される。

## 【 0 0 2 8 】

ここでは、ラン長値（１）もしくはラン長値（０）のいずれかのラン長が極端に短いことを検出している。ラン長判別情報はブロックの外部に出力される。

## 【 0 0 2 9 】

上下非対称情報とラン長判別情報はＡＮＤ回路４５に入力され、論理積演算がおこなわれて、その結果はＤ－ＦＦ回路４６に供給される。Ｄ－ＦＦ回路４６にはシステムクロック（またはビットクロック）がクロック端子に、前述のイニシャル信号がイネーブル端子にそれぞれ供給されており、Ｑ出力がコード偏り検出信号として端子４７より出力され、図２のゲイン切替回路５に供給される。

## 【 0 0 3 0 】

ここでは、ラン長値（１）もしくはラン長値（０）のいずれかのラン長が極端に短く、かつラン長値（１）もしくはラン長値（０）のいずれかのラン長が極端に短いことを検出していることになり、その結果がイニシャル信号のタイミングで保持されていることになる。これは、図３（ｄ）の状態だけがこのような状態になることに注目したものである。このような構成にすることで、副作用がなく、正確に（ｄ）の状態を判別できる。さらに通常の信号が入力されれば、自然と

通常のモードに復帰するところが、本出願の特徴である。

【0031】

基本的にコード偏りは、発生頻度が少ないため、従来のシステムの性能を落とすことなく、しかし、発生した場合は、迅速にモードを切り替えることで、もっとも有効な効果を得ることができる。この意味で、本出願は最適である。

【0032】

また、コード偏りへの対応は、基本的に付加的なものなので、回路規模もなるべく少ないことが望ましい。本出願は、2値化後の1ビットの信号を利用しているため、回路規模は少なく、最適である。

【0033】

また、この例では、スレッシュールドレベルを制御しているが、再生信号を制御することにより、相対的にスライスレベルを変化させても良いことはもちろんである。

【0034】

次に、本願の第2の実施例について図5を用いて説明する。再生信号は、DC制御回路10に供給され、ここで後述のエラー検出手段25からのDCエラー信号に基づいて、そのセンターレベル（DCレベル）が最適な閾値に一致するようにDC制御される。

【0035】

DC制御回路10の出力は、A/D変換器11に供給されてシステムクロックに基づいてデジタル信号に変換される。デジタル信号はイコライザ回路12に入力され、再生デジタル信号の等化処理を行い、その出力信号をPLL回路13及び復号回路14へ供給する。PLL回路13はシステムクロックを生成する。復号回路14は所定の閾値にてスライスするか、もしくはビタビ復号などを用いることにより、2値化後データを出力し、図示しないECC回路などへ供給して誤り訂正符号を用いて誤り訂正を行って再生データを出力させる。2値化後データは、本願の要部であるエラー検出回路15にも供給される。エラー検出回路15の出力はDCエラー信号としてDC制御回路10に供給される。

【0036】



エラー検出回路15について図6を用いて説明する。復号回路14より供給された2値化後データは、増幅手段152及び増幅手段153及びコード偏り検出手段154に供給される。コード偏り検出手段154は、本発明の要部をなすものであり、変調コードに偏りがあるか否かを判別し、その結果であるコード偏り判別信号をゲイン切替手段155に供給する。

## 【0037】

増幅手段152及び増幅手段153は、入力された信号をそれぞれ異なるゲインで増幅して出力し、ゲイン切替手段155に供給する。ゲイン切替手段155は、コード偏り検出手段154より供給されたコード偏り判別信号に応じて、増幅手段152及び増幅手段153の入力いずれかを選択し、積分手段156に供給する。

## 【0038】

積分手段156は、入力された信号を低域フィルタリングし、低域周波数成分を抽出し、DCエラー信号として出力する。必要に応じて、図示しないD/A変換回路を用いても良いことはもちろんである。増幅手段152、増幅手段153、コード偏り検出手段154、ゲイン切替手段155、積分手段156についての動作・構成は、図1に示した増幅手段2、増幅手段3、コード偏り検出手段4、ゲイン切替手段5、積分手段6と同じなので、説明を省略する。

## 【0039】

このように構成することで、PRMLなどのデジタル信号処理に適した位置に、再生信号のDC成分を制御することが出来ることに特徴がある。この実施の形態も第1の実施の形態と同様の特長を有する。

## 【0040】

また、積分手段6などの一部のブロックをアナログで構成しても良いことはもちろんである。また、DC制御回路10をA/D変換回路11の後ろに持っていく、デジタル処理するようにしても良いことはもちろんである。この実施例（第4の実施の形態）を図22に示す。図22に示した構成において、図5と同じブロックには同じ番号を付し、その説明を省略する。再生信号はA/D変換回路11に入力され、サンプリングされたサンプリング後信号が、DC制御回路50に

入力される。DC制御回路50はDCエラー信号に基づき、サンプリング後信号のDCレベルを制御した後、イコライザ12に供給する。このようにすることで、DC制御回路も含めてフルデジタル化出来るようになる。

## 【0041】

また、システムによっては、イコライザ回路11を省略しても良いことはもちろんである。さらに、本願の第3の実施例について図7を用いて説明する。再生信号は、DC制御回路20に供給され、ここで後述のD/A変換回路26からのDCエラー信号に基づいて、そのセンターレベル（DCレベル）が最適な閾値に一致するようにDC制御される。

## 【0042】

DC制御回路20の出力は、A/D変換器21に供給されてシステムクロックに基づいてデジタル信号に変換される。デジタル信号はDPLL回路23に供給され、ビットクロックが生成されるとともに、再生信号がリサンプリングされ、後段のイコライザ回路22に入力される。イコライザ回路22はビットクロックに基づき、再生デジタル信号の等化処理を行い、その出力信号を復号回路24へ供給する。復号回路14はビットクロックに基づき、所定の閾値にてスライスするか、もしくはビタビ復号などを用いることにより、2値化後データを出し、図示しないECC回路などへ供給して誤り訂正符号を用いて誤り訂正を行って再生データを出力させる。

## 【0043】

A/D変換器21の出力は、2値化回路27にも供給される。2値化回路27は第2の2値化後データを生成し、本願の要部であるエラー検出回路25に供給される。エラー検出回路25の出力は、DCエラー信号としてDC制御回路20に供給される。このように構成することで、DPLLにも対応できるという特徴を持つ。エラー検出回路25は図6を参照して説明した構成と同一の構成であり、その説明を省略する。この実施の形態も第1の実施の形態と同様の特長を有する。

## 【0044】

また、積分手段6などの一部のブロックをアナログで構成しても良いことはも

ちろんである。また、DC制御回路10をA/D変換回路20の後ろに持っていき、デジタル処理するようにしても良いことはもちろんである。また、システムによっては、イコライザ回路21を省略しても良いことはもちろんである。この実施例（第5の実施の形態）を図23に示す。図23に示した構成は図7と同じブロックには同じ番号を付し、その説明を省略する。再生信号はA/D変換回路20に入力され、サンプリングされたサンプリング後信号が、DC制御回路60に入力される。DC制御回路60はDCエラー信号に基づき、サンプリング後信号のDCレベルを制御した後、イコライザ22に供給する。このようにすることで、DC制御回路も含めてフルデジタル化出来るようになる。

## 【0045】

次に、第1の実施の形態のシミュレーション結果について説明する。図8から図11は、図19で説明した従来システムの特性を示したものである。図8は上から、再生信号、スライスレベル、2値化信号を示しており、横軸は時間、縦軸はレベルを示している。再生信号は、横軸2400のところで、図3で説明した（a）の状態から（d）の状態に切り替わるようにしている。この部分の拡大図を図9に示す。信号としては極端な例であるが、このタイミングより、スライスレベル制御が誤動作し、スライスレベルが下がり初めていることがわかる。図8に示すように、スライスレベルの最終値は、ほとんど信号の下部にはりついており、正しい2値データは得られない。

## 【0046】

図10は第3の実施例を用いて、本願の機能をOFFした場合のPLL出力部のアイパターンである。信号のDCレベルが、誤動作により大きく変化してしまい、ロックが外れている。（本来は横線がつながっていることが望ましい。）図11はさらにイコライザ後のアイパターンを示している。やはり、信号のDCレベルが、誤動作により大きく変化してしまい、ロックが外れていることがわかる。（本来は横線がつながっていることが望ましい。）図20は、本願の機能をOFFしている状態でのラン長値（1）を、図21は、同じくラン長値（0）をそれぞれ示しており、前述の切り替わりタイミングで、ラン長値（1）のラン値が極端に小さく、ラン長値（0）のラン値が極端に大きくなっていることが検出さ

れており、後段のラン長判別ブロック44で、十分に判別出来る状態になっていることがわかる。

## 【0047】

また、図12は上下非対称性検出ブロックの加算器431の出力を示しており、前述の切り替わりタイミングでコードの上下非対称性（偏り）が検出されており、後段の比較手段432で、十分に判別出来る状態になっていることがわかる。図13は、最終的なコード偏り判別信号を示しており、正しく、かつ迅速に判別されていることがわかる。

## 【0048】

図14から図17は、図1で説明した第1の実施例を用いた本願の特徴を示したものである。図14は上から、再生信号、スライスレベル、2値化信号を示しており、横軸は時間、縦軸はレベルを示している。再生信号は、横軸2400のところで、図3で説明した（a）の状態から（d）の状態に切り替わるようにしている。

## 【0049】

この部分の拡大図を図15に示す。この場合には、切り替わりのタイミングより、短い時間でモードが切り替わり、応答が遅くなるため、スライスレベルの下がり方が遅くなっていることがわかる。図14に示すように、スライスレベルの最終値は、ほとんど下がっておらず、正しい2値データが得られる。

## 【0050】

図16は第3の実施例を用いて、本願の機能をONした場合のPLL出力部のアイパターンである。信号のDCレベルの変化が、モードの切り替えにより抑制されるため、ロックは外れておらず、横線がつながっている。横軸8000のところでロックがはずれているが、この場合、1Sync長が、約6000程度なので、十分に次のSyncまでは持ちこたえられ、あとは信号自身が、改善することになるので、この特性で十分であることがわかる。もし、仕様として、より長い対応が必要であれば、応答特性を、より遅くして置けばよい。

## 【0051】

図17はさらにイコライザ後のアイパターンを示している。やはり、信号のD

Cレベルの変化が、モードの切り替えにより抑制されるため、ロックは外れておらず、横線がつながっている。横軸 8 0 0 0 のところでロックがはずれているが、この場合、1 Sync 長が、約 6 0 0 0 程度なので、十分に次の Sync までは持ちこたえられ、あとは信号自身が、改善することになるので、この特性で十分であることがわかる。もし、仕様として、より長い対応が必要であれば、応答特性を、より遅くして置けばよい。

## 【 0 0 5 2 】

## 【発明の効果】

以上説明したように、本発明によれば、従来の技術では対応出来なかった、記録される変調信号の変調コードパターンに偏りが生じた場合にも、誤動作を起こさず、正しい検出を行うことが出来る。高密度化にともない、変調信号の変調効率も重要となってきており、低域周波数成分を十分に低減するための結合ビット等を可能な限り少なくする必要に迫られているが、これにも対応可能である。また、本発明は従来の性能を下げることなく、特定のモードを迅速に検出し、対応することが可能である。また、コード偏りへの対応は、基本的に付加的なものであるため、回路規模もなるべく少ないことが望ましい。本出願は、2 値化後の 1 ビットの信号を利用しているため、回路規模は少なく、最適である。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の実施の形態のブロック図である。

## 【図 2】

本発明の第 1 の実施の形態の一部を示すブロック図である。

## 【図 3】

再生信号波形の特性と、本願の解決すべき課題を示す図である。

## 【図 4】

本願の解決すべき課題を示す図である。

## 【図 5】

本発明の第 2 の実施の形態のブロック図である。

## 【図 6】

本発明の第 2 の実施の形態の一部を示すブロック図である。

【図 7】

本発明の第 3 の実施の形態のブロック図である。

【図 8】

従来例の特性を示す図である。

【図 9】

従来例の特性を示す拡大図である。

【図 1 0】

従来例の P L L 回路出力アイパターンの一例を示す図である。

【図 1 1】

従来例のイコライザ回路出力アイパターンの一例を示す図である。

【図 1 2】

本発明の相関積分情報 C O s の振る舞いを示す図である。

【図 1 3】

本発明のコード相関判別信号の振る舞いを示す図である。

【図 1 4】

本発明の特性を示す図である。

【図 1 5】

本発明の特性を示す拡大図である。

【図 1 6】

本発明の P L L 回路出力アイパターンの一例を示す図である。

【図 1 7】

本発明のイコライザ回路出力アイパターンの一例を示す図である。

【図 1 8】

従来例を示す図である。

【図 1 9】

従来例の機能を示す図である。

【図 2 0】

本発明のラン長値 ( 1 ) の振る舞いを示す図である。

【図 2 1】

本発明のラン長値（0）の振る舞いを示す図である。

【図 2 2】

本発明の第 4 の実施の形態のブロック図である。

【図 2 3】

本発明の第 5 の実施の形態のブロック図である。

【符号の説明】

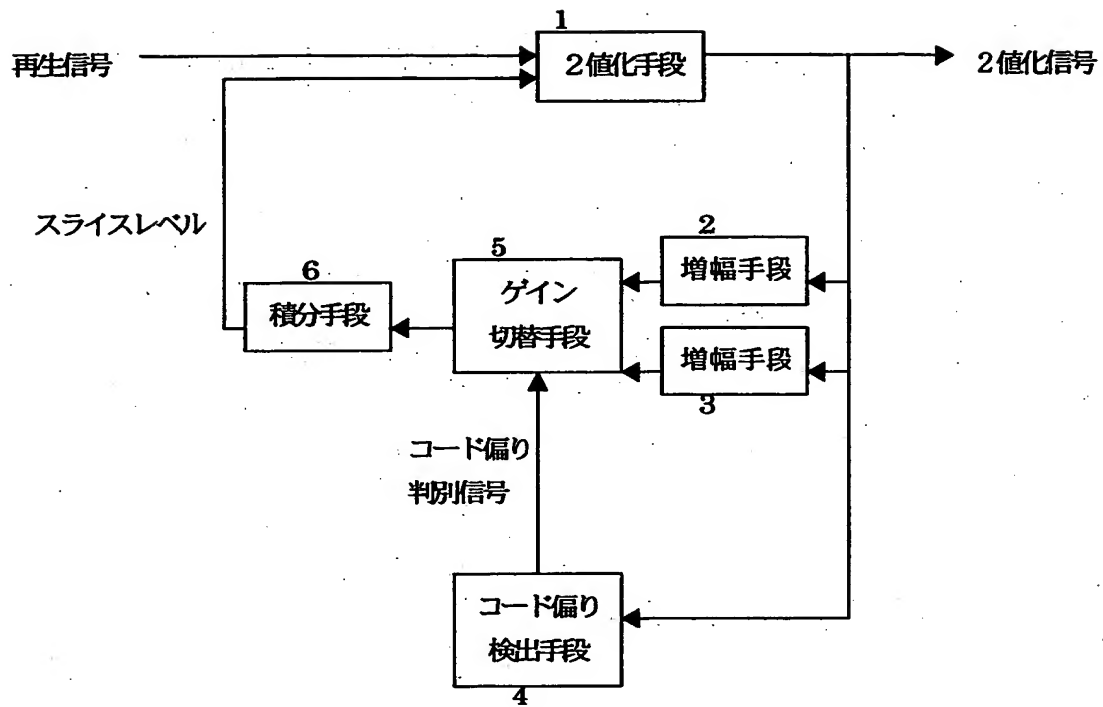
- 1    2 値化手段
- 2    増幅手段
- 3    増幅手段
- 4    コード偏り検出手段
- 5    ゲイン切替手段
- 6    積分手段
- 1 0   DC制御ブロック
- 1 1   A/D変換ブロック
- 1 2   イコライザブロック
- 1 3   PLLブロック
- 1 4   復号ブロック
- 1 5   エラー検出ブロック
- 1 6   D/A変換ブロック
- 2 0   DC制御ブロック
- 2 1   AD変換ブロック
- 2 2   イコライザブロック
- 2 3   PLLブロック
- 2 4   復号ブロック
- 2 5   エラー検出ブロック
- 2 6   D/A変換ブロック
- 2 7   2 値化ブロック
- 4 1   2 値化信号入力端子 4 1

- 4 2 ラン長計数ブロック
- 4 3 上下非対称性検出ブロック
- 4 4 ラン長判別ブロック
- 4 5 AND回路
- 4 6 D-FF
- 4 7 コード偏り判別信号出力端子
- 5 0 DC制御回路
- 6 0 DC制御回路
- 1 5 2 増幅手段
- 1 5 3 増幅手段
- 1 5 4 コード偏り検出手段
- 1 5 5 ゲイン切替手段
- 1 5 6 積分手段
- 4 2 1 インバータ
- 4 2 2 ~ 4 2 3 計数器
- 4 2 4 加算器
- 4 2 5 比較手段
- 4 3 1 減算器
- 4 3 2 比較手段
- 4 4 1 ~ 4 4 2 比較手段
- 4 4 3 OR回路
- 9 0 1 ~ 9 0 3 OPアンプ
- 9 0 4 2値化手段
- 9 0 5 増幅手段
- 9 0 6 積分手段

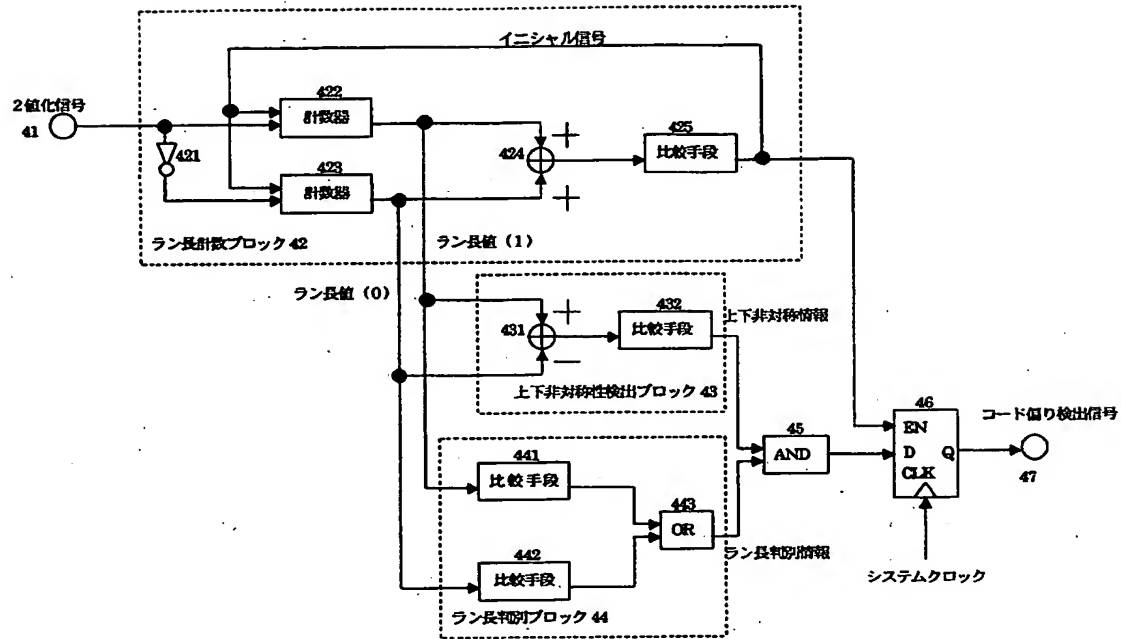


【書類名】 図面

【図 1】

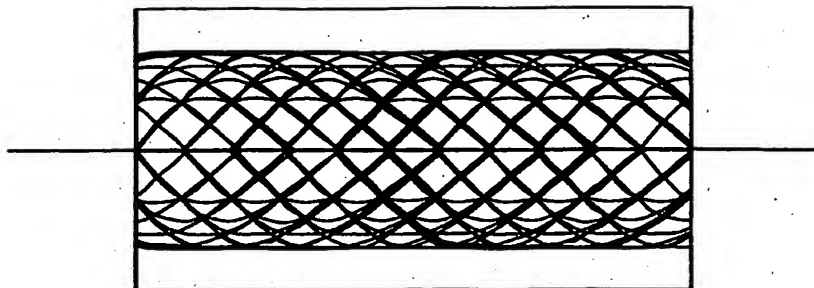


【図2】

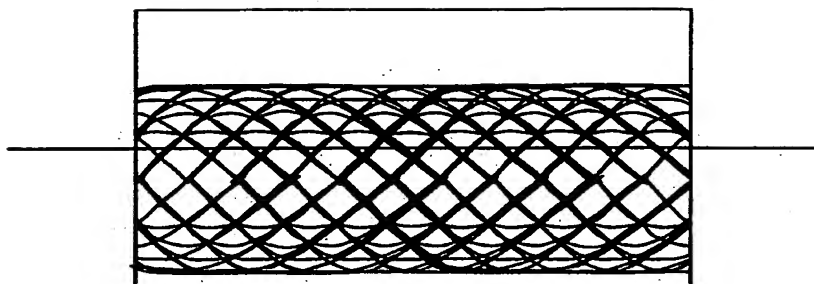


【图 3】

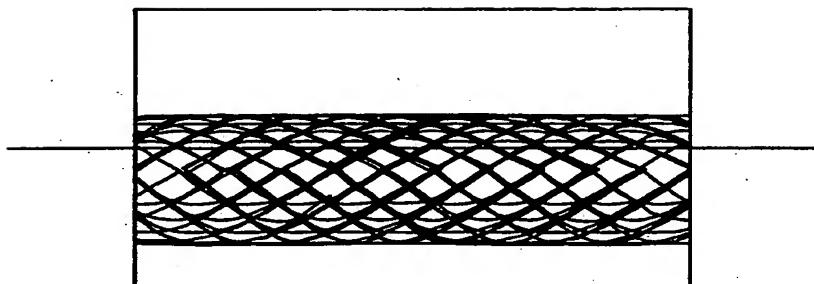
(a)



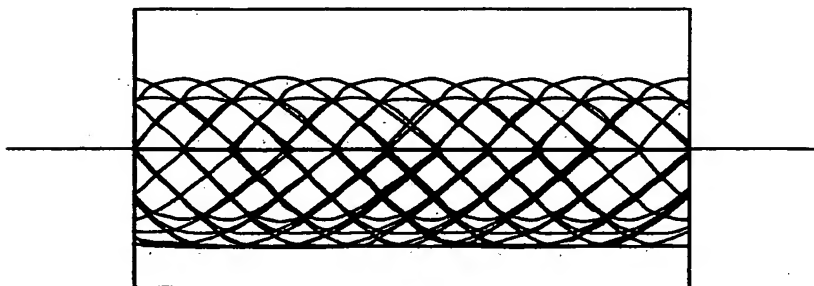
(b)



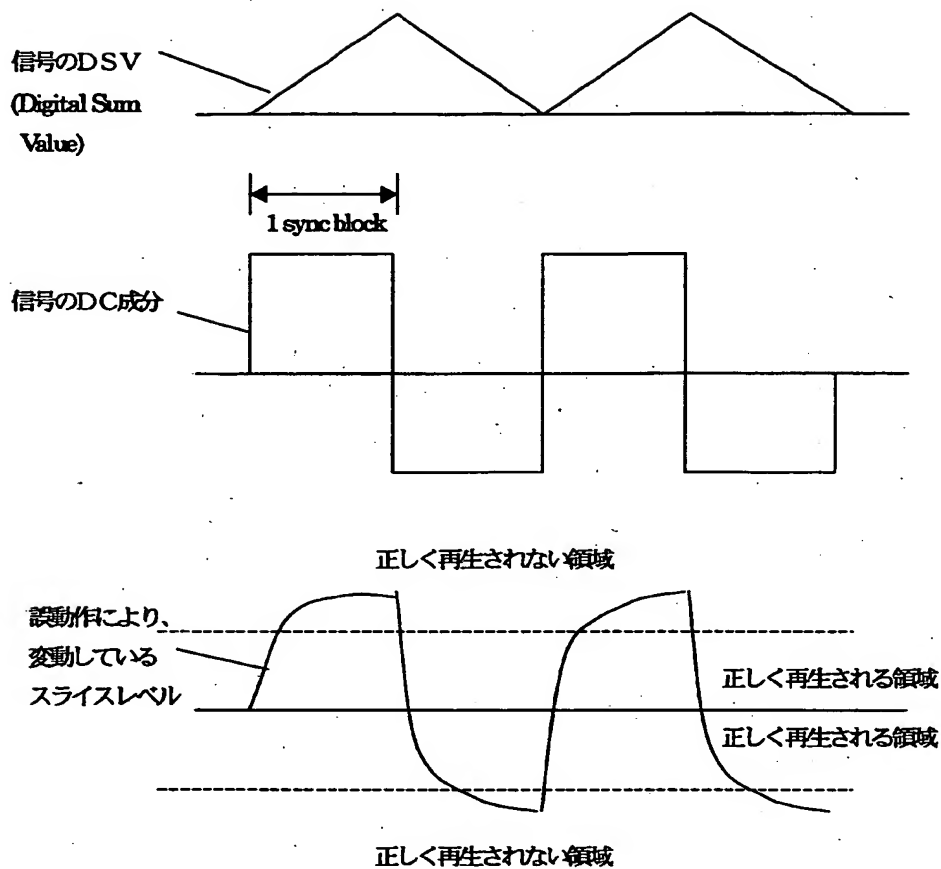
(c)



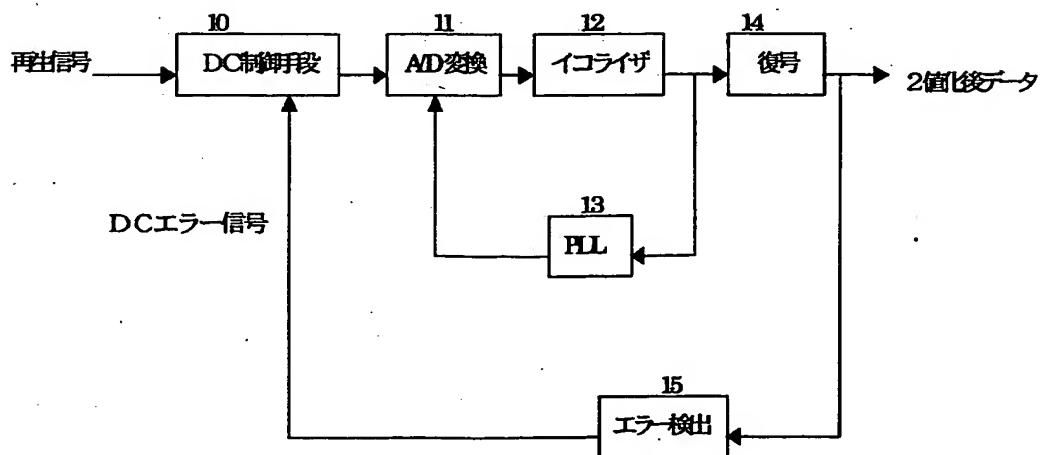
(d)



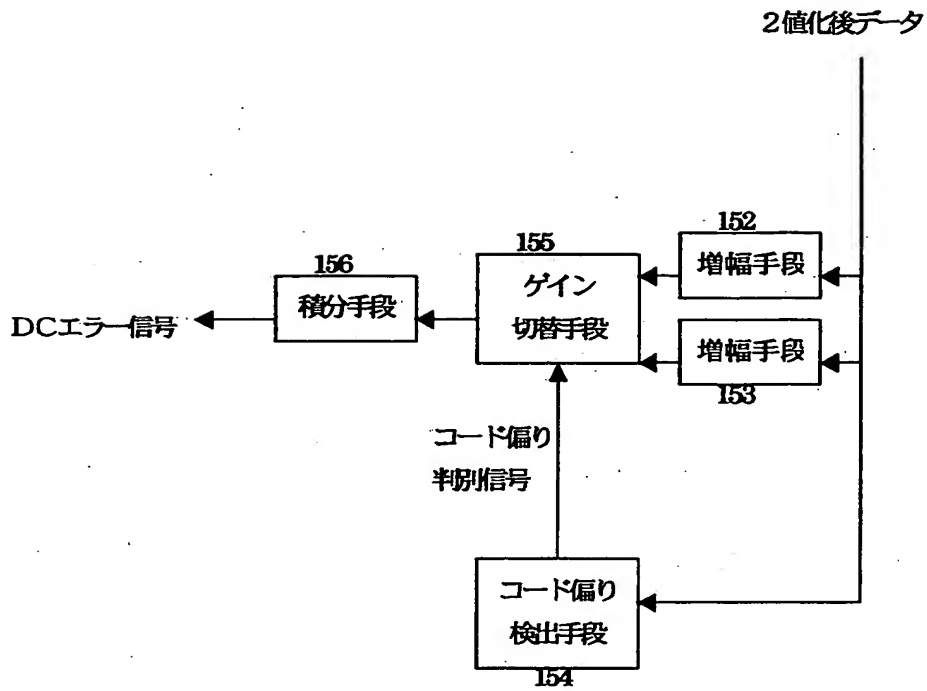
【図 4】



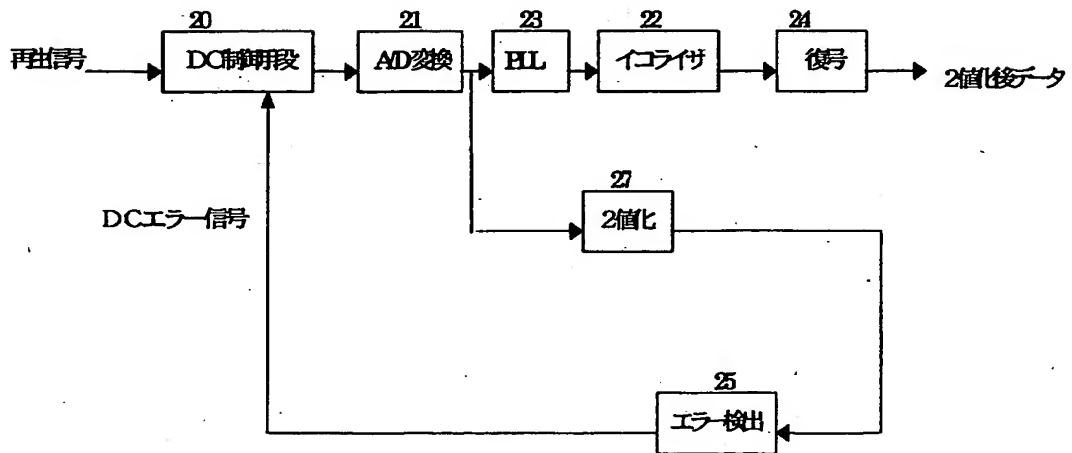
【図 5】



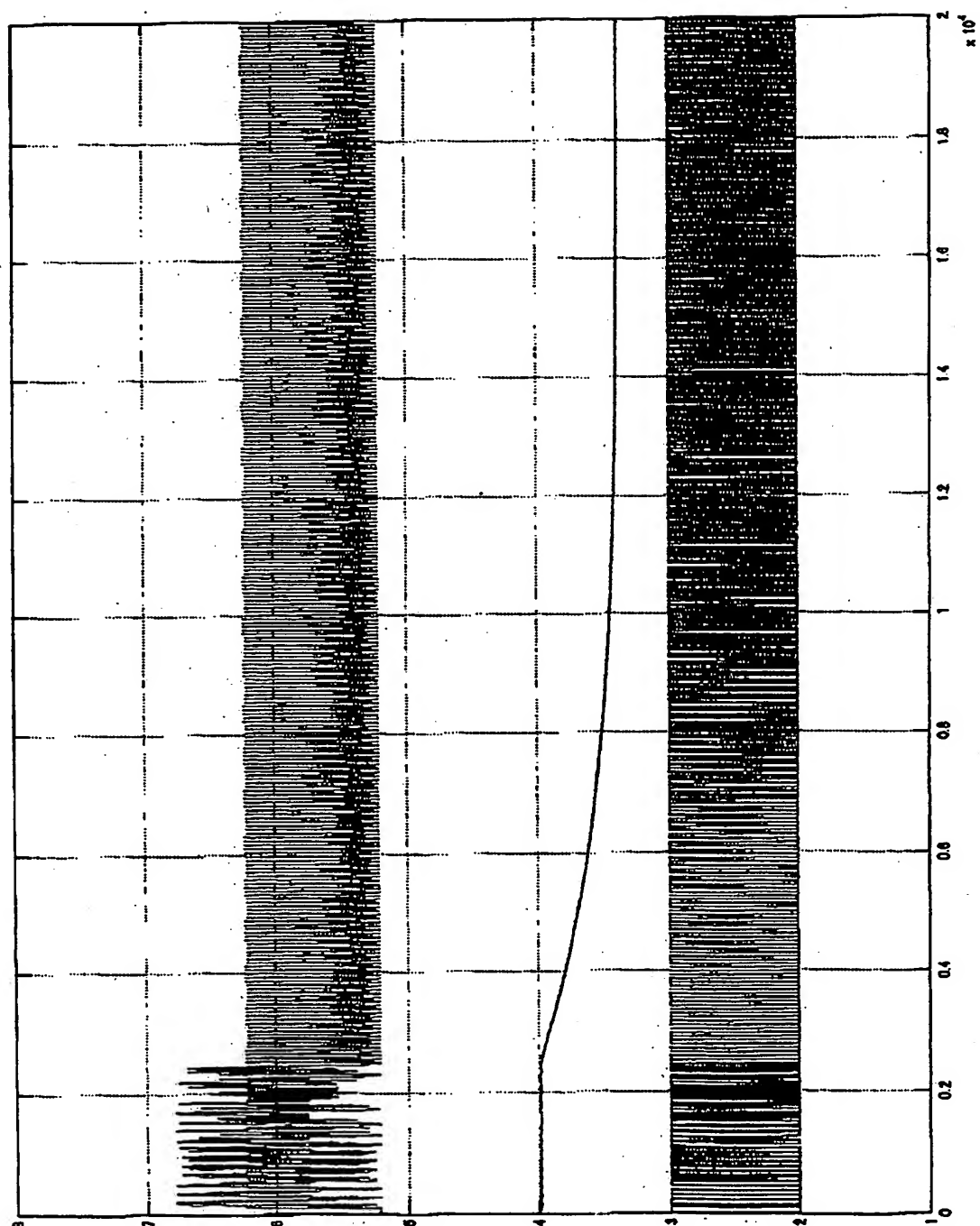
【図 6】



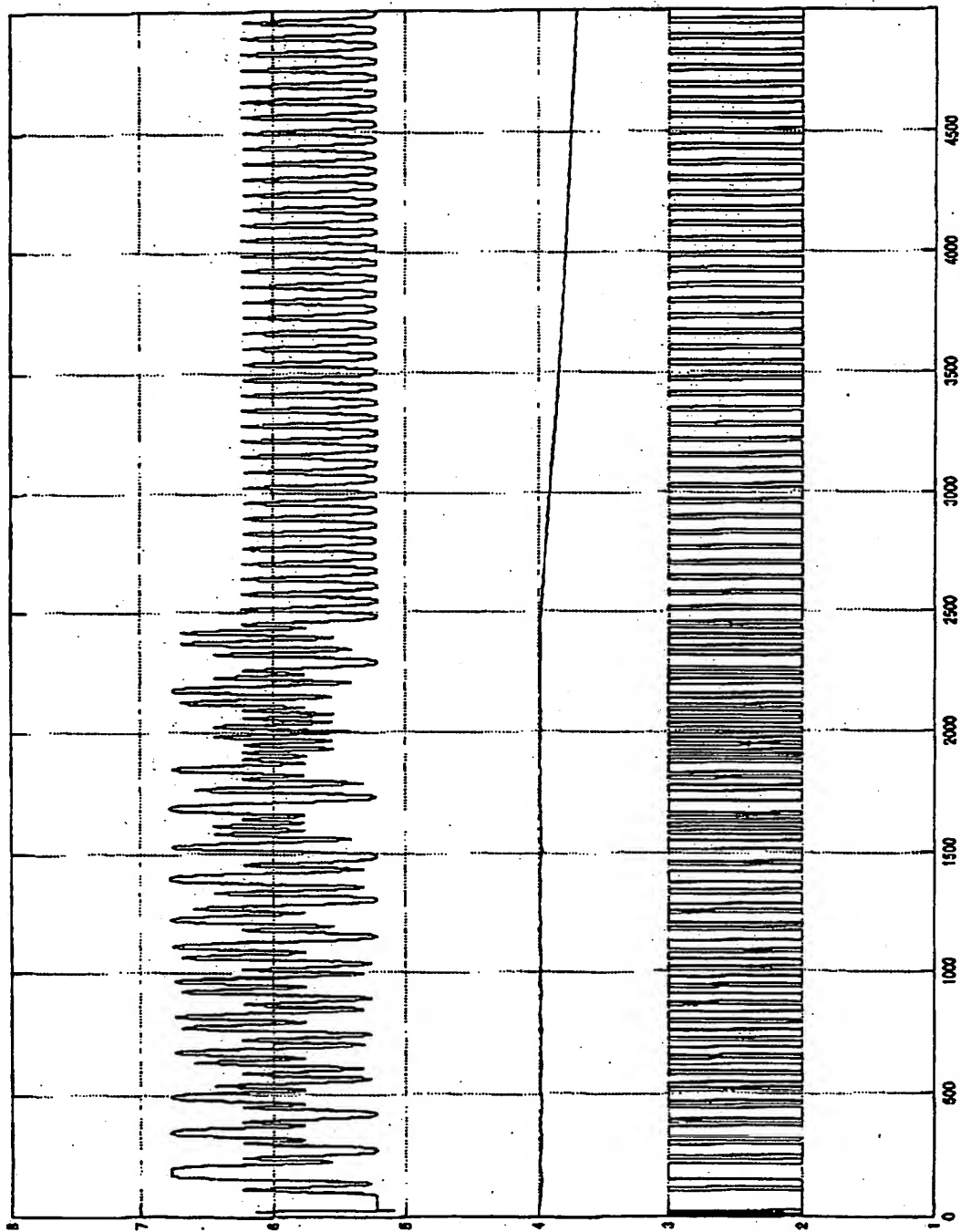
【図 7】



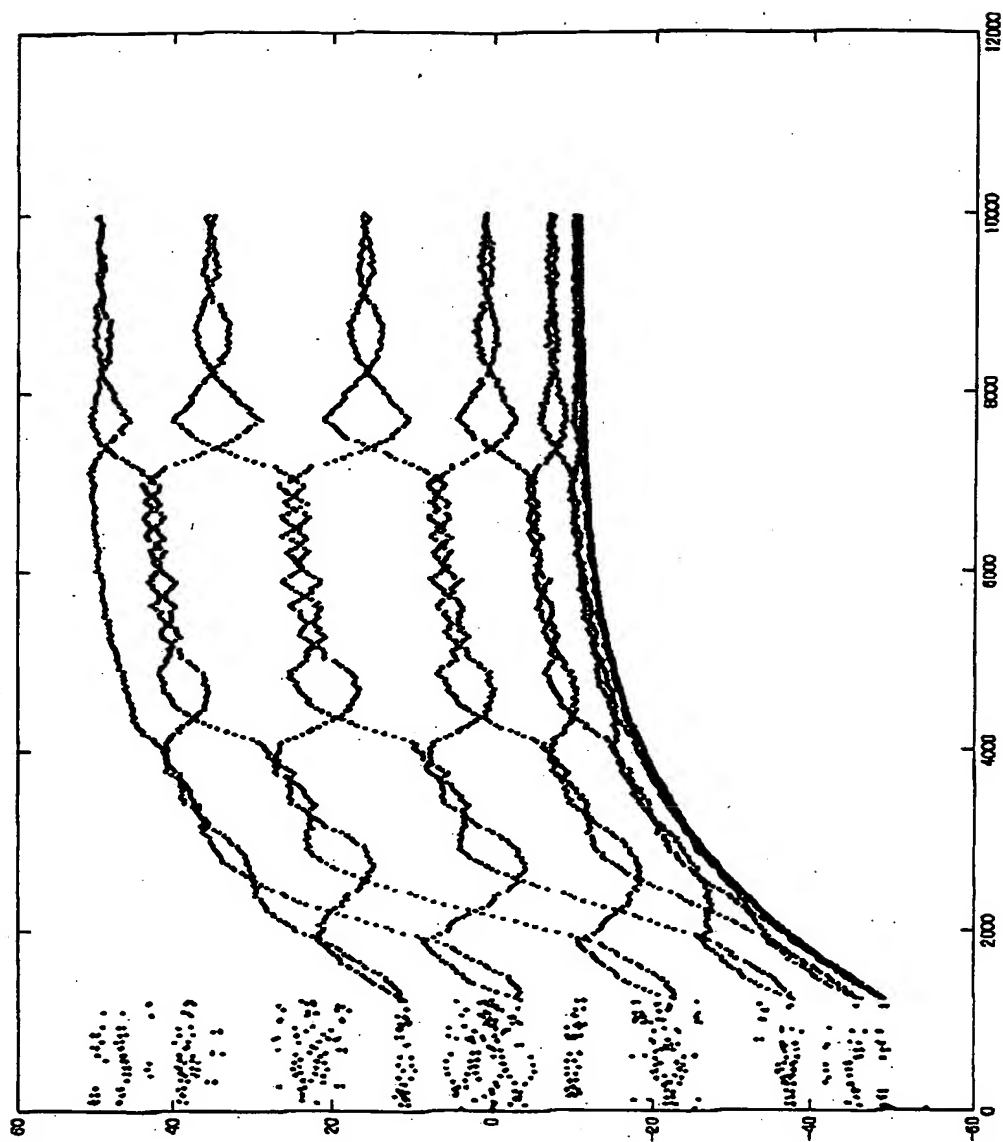
【図8】



【図9】

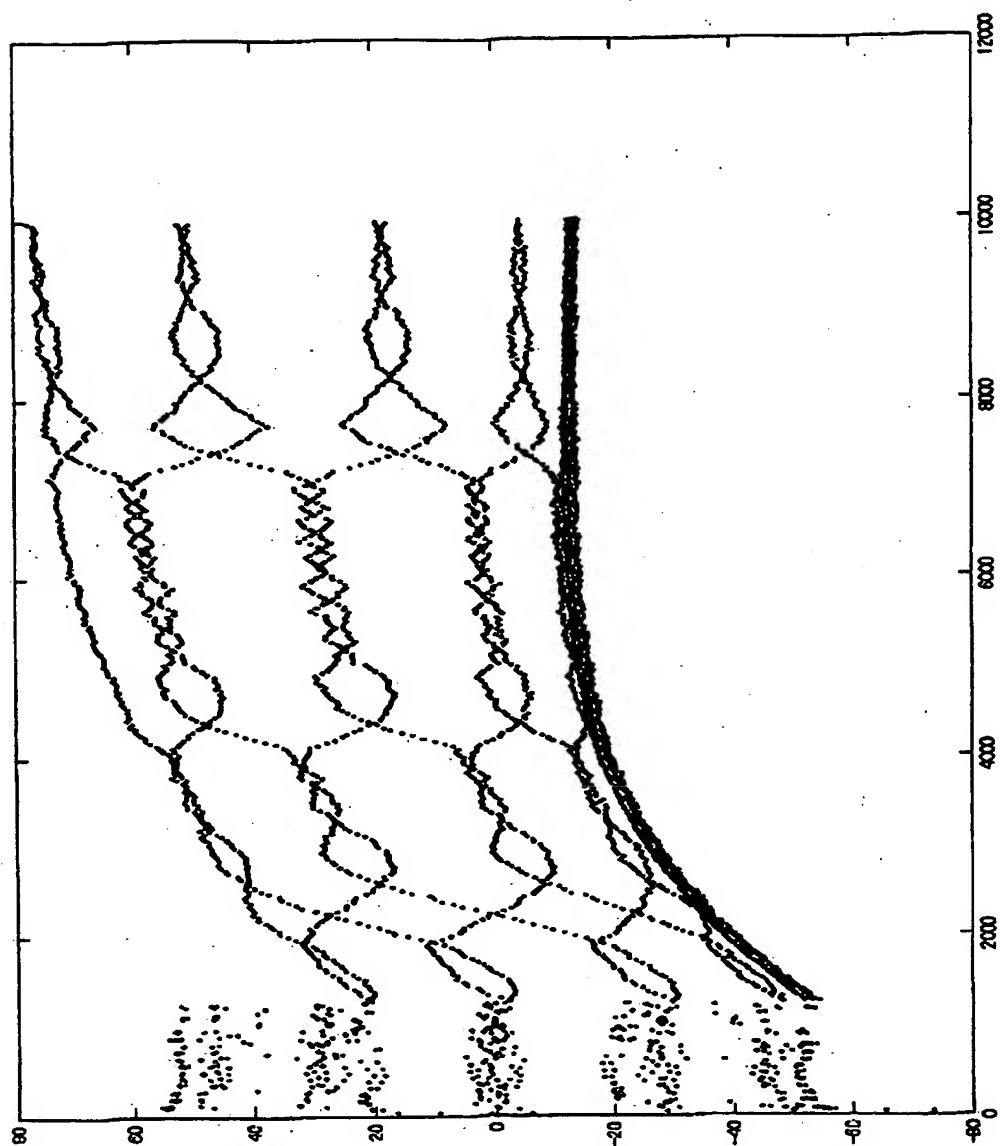


【図10】

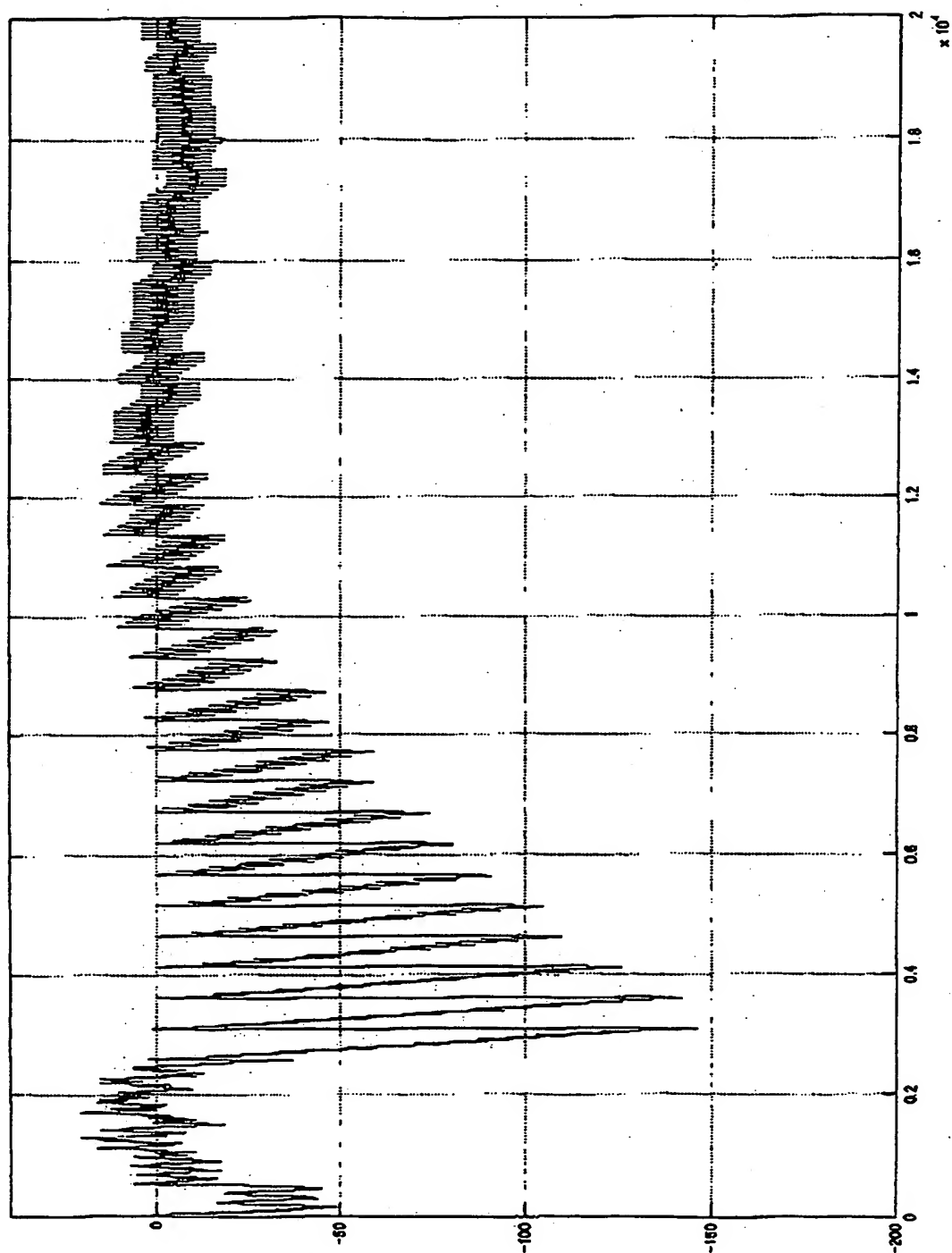




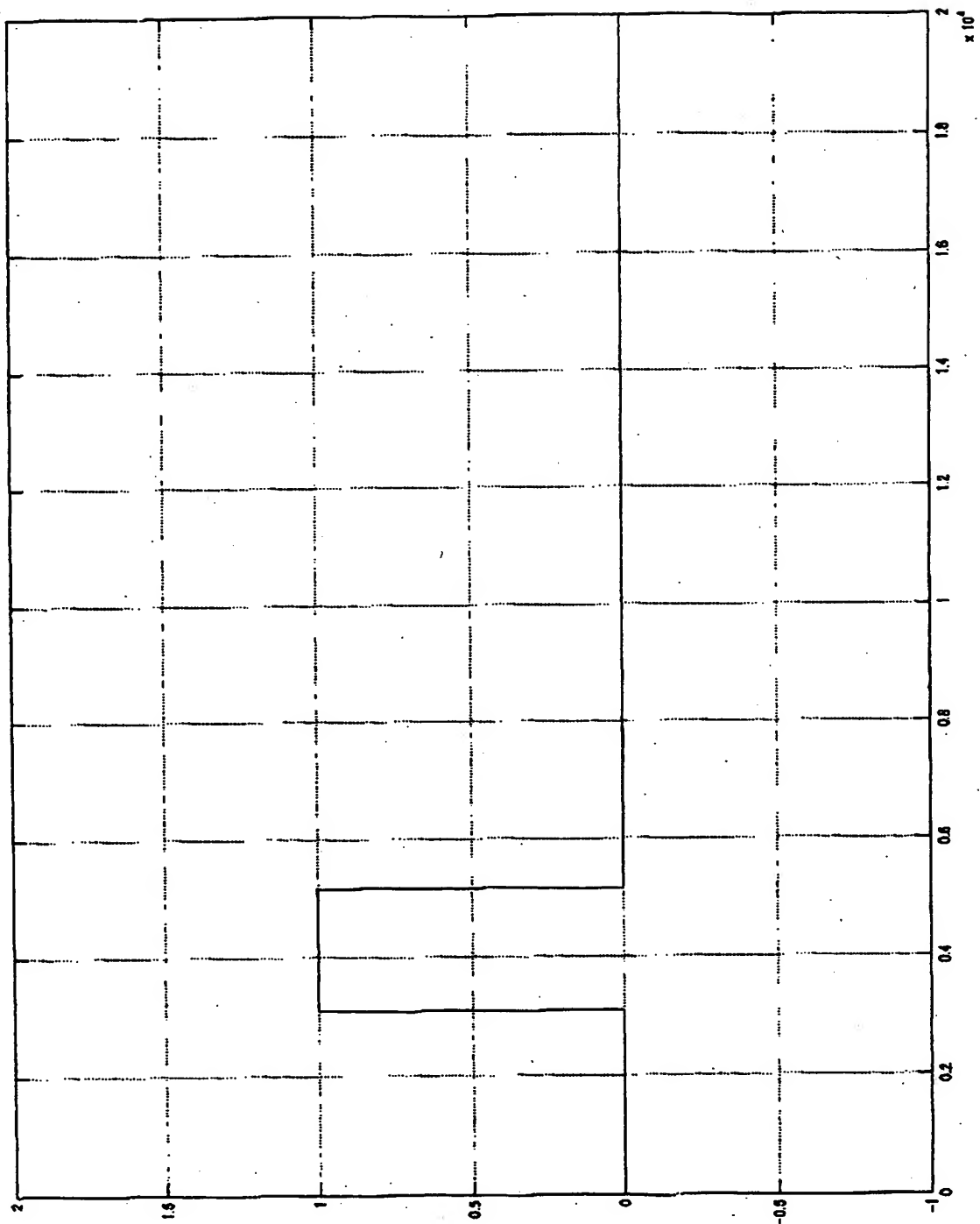
【図11】



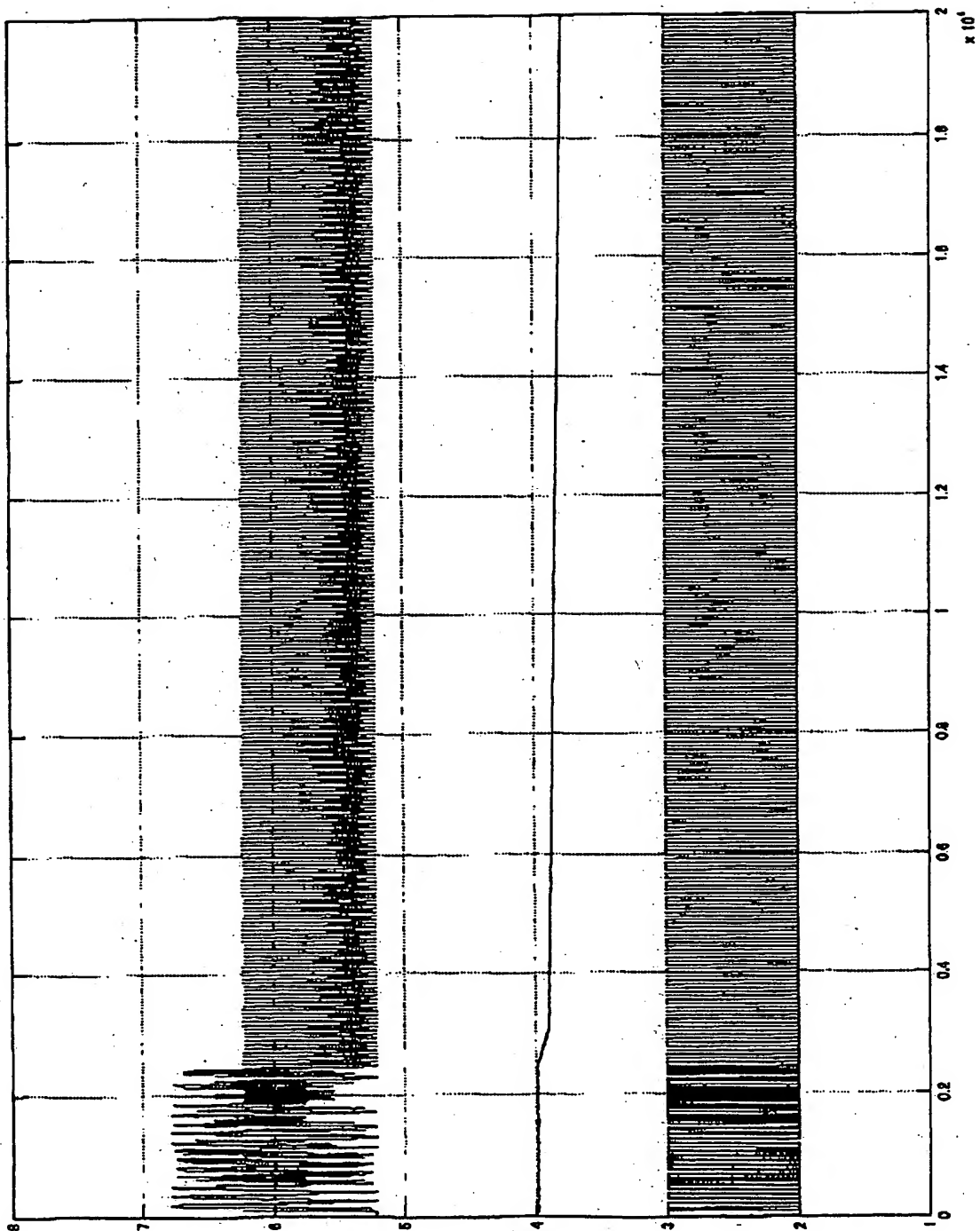
【図12】



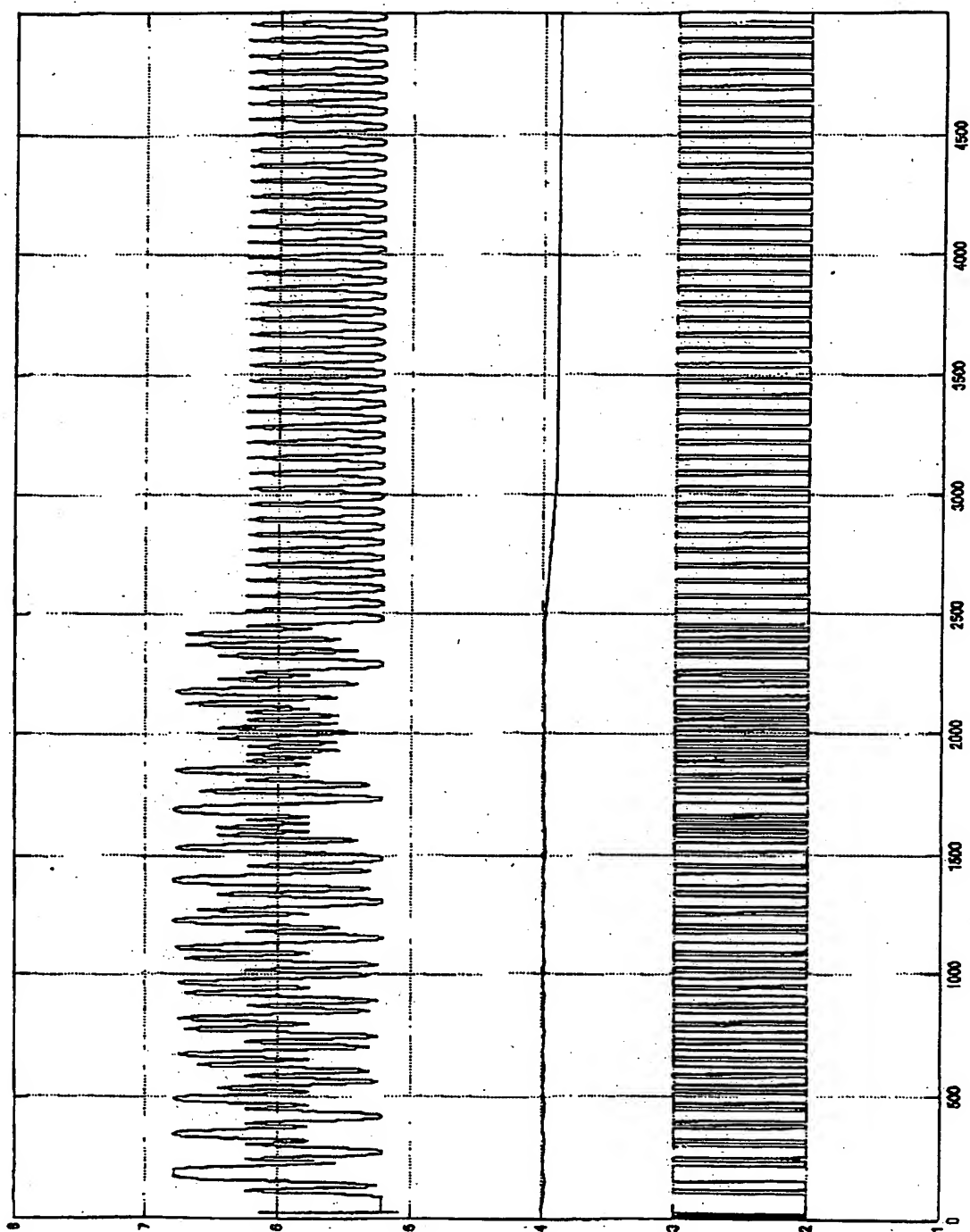
【図13】



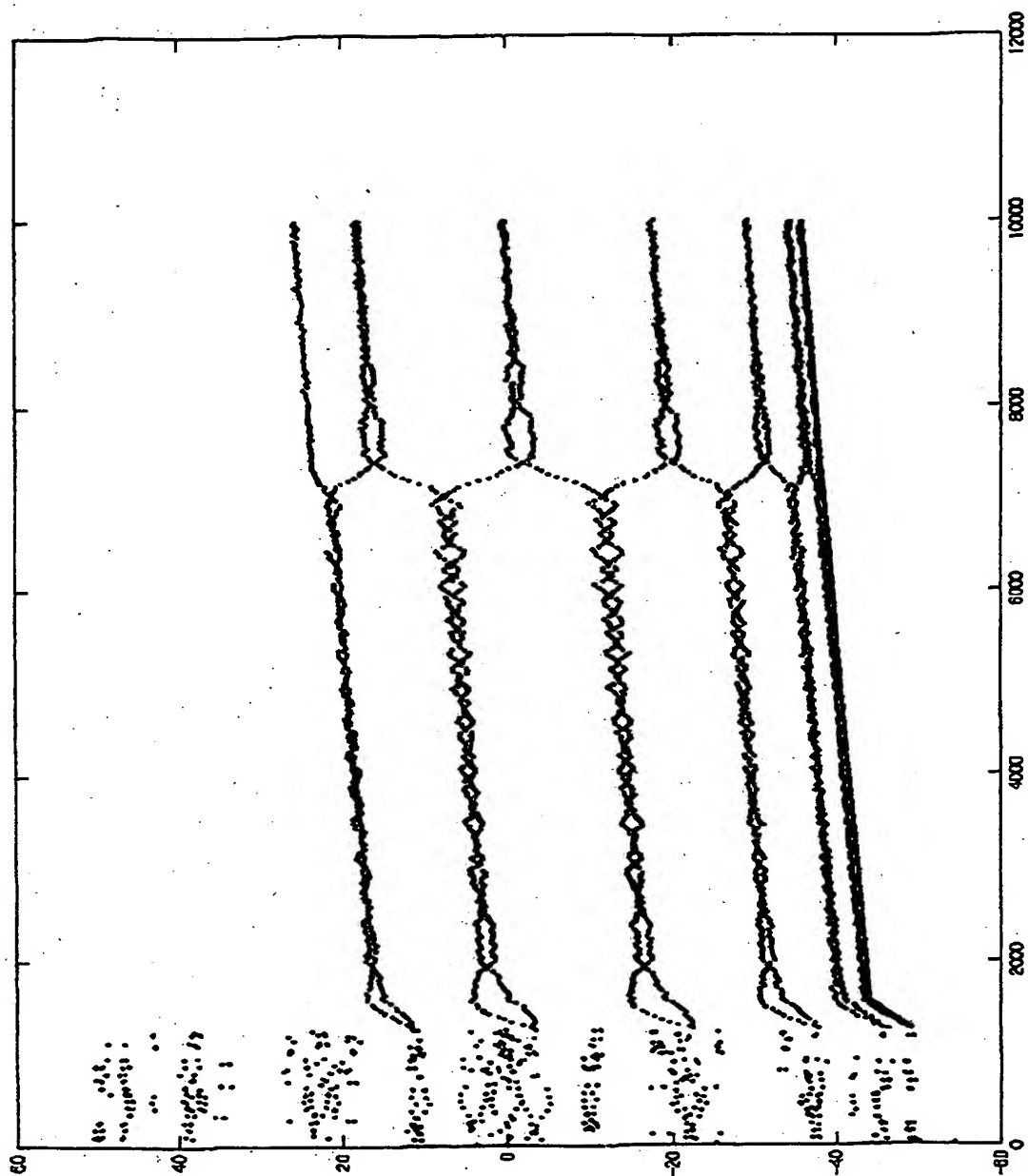
【図14】



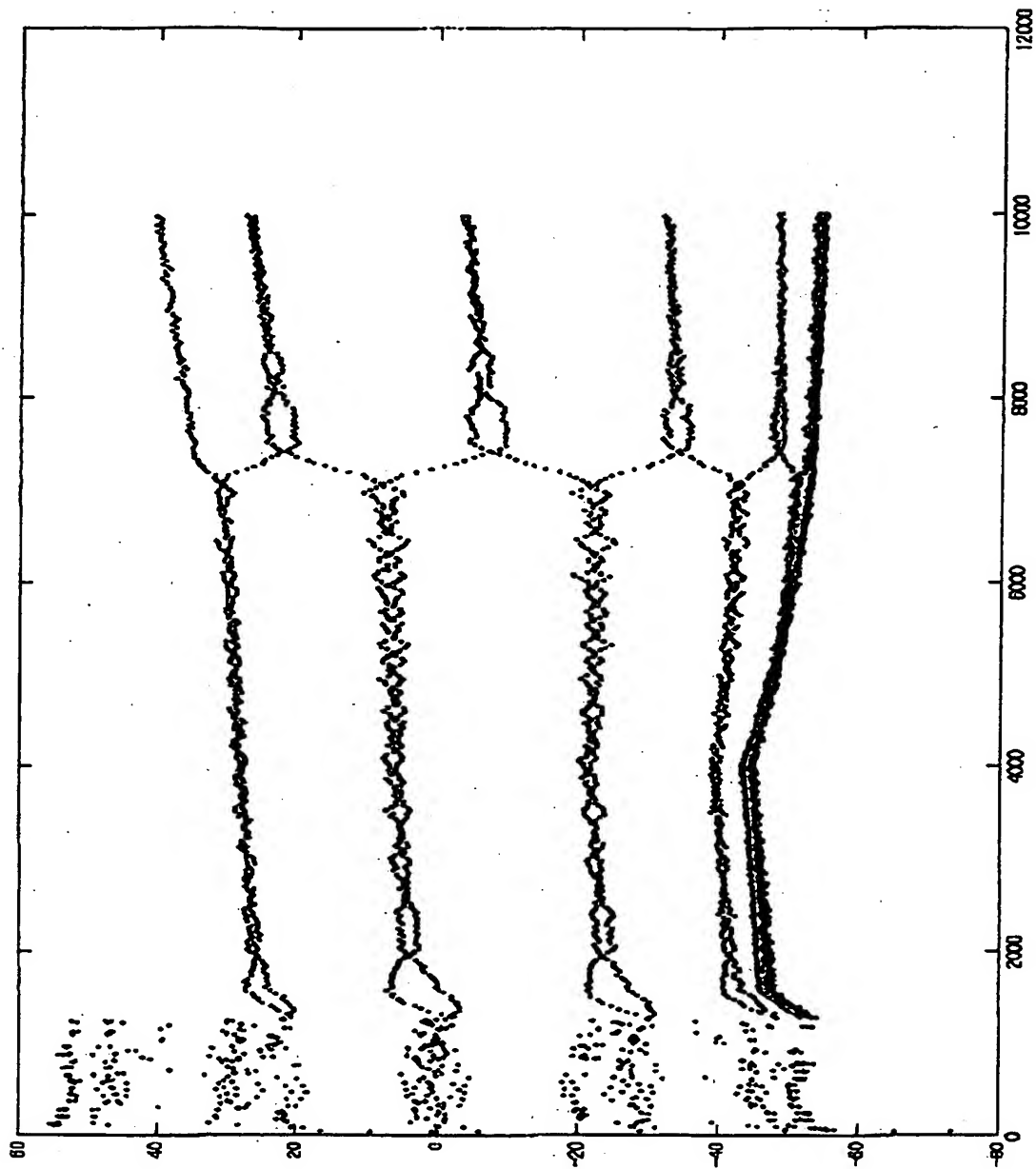
【図15】



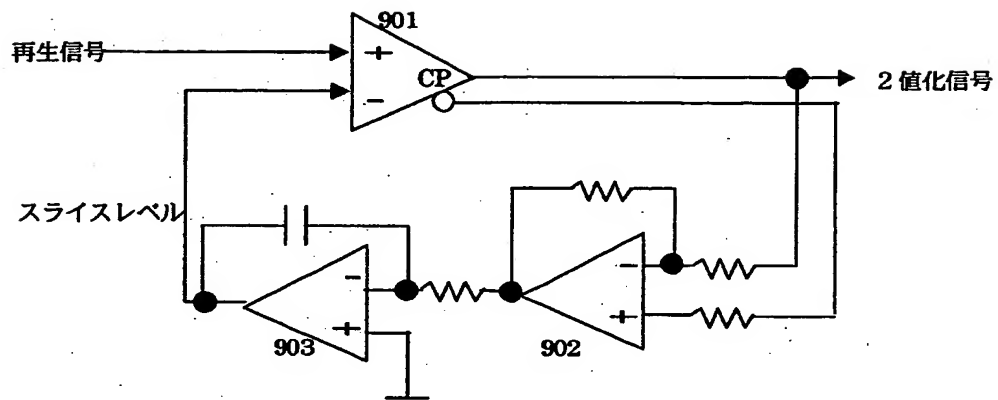
【図16】



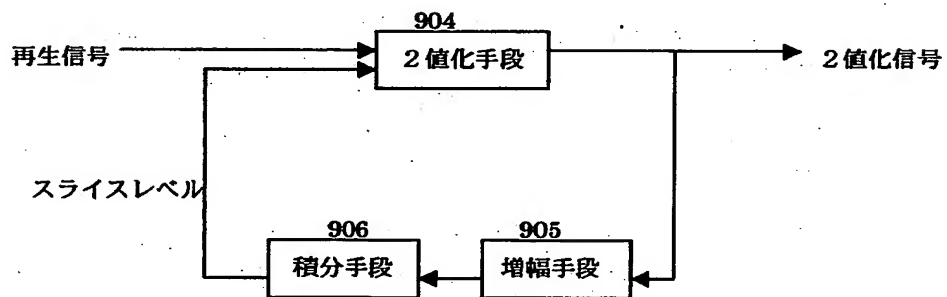
【図17】



【図 18】

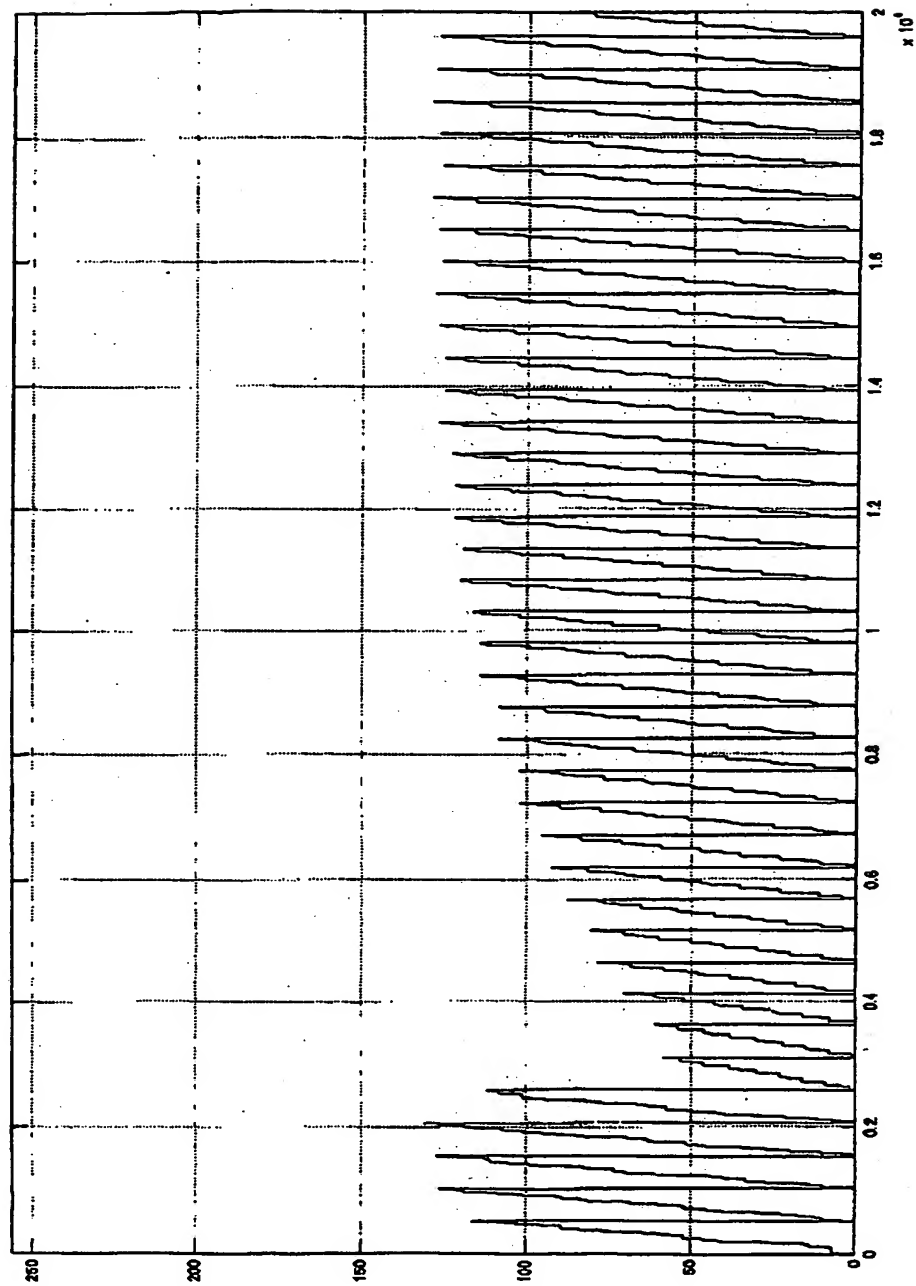


【図 19】

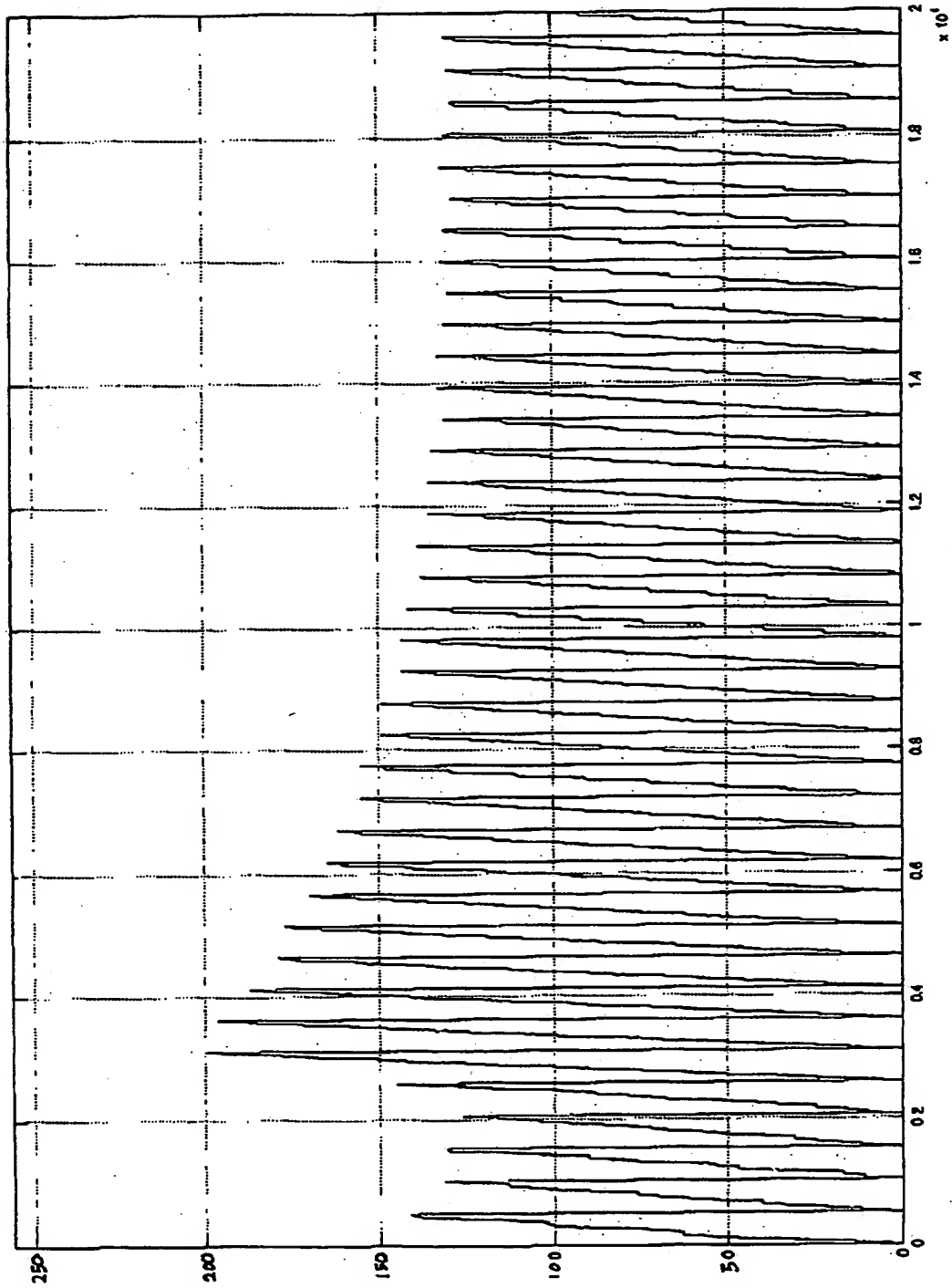




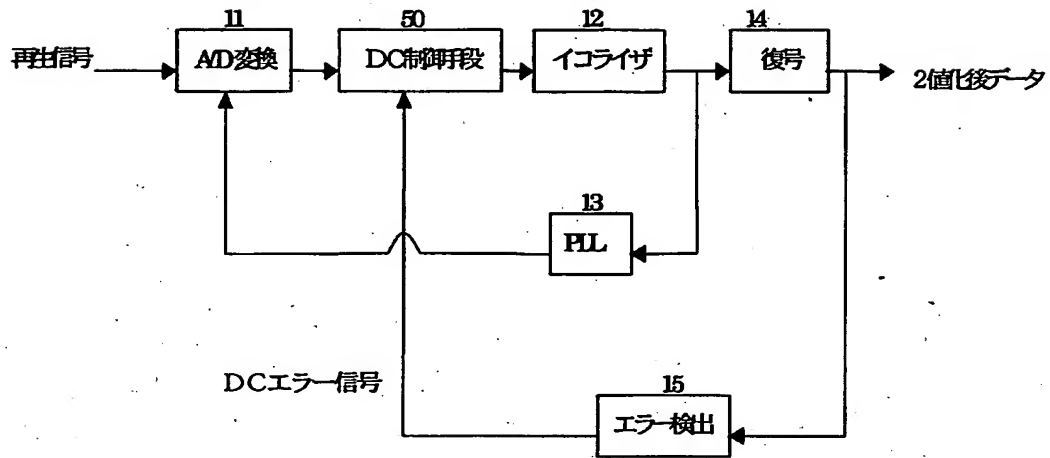
【図 20】



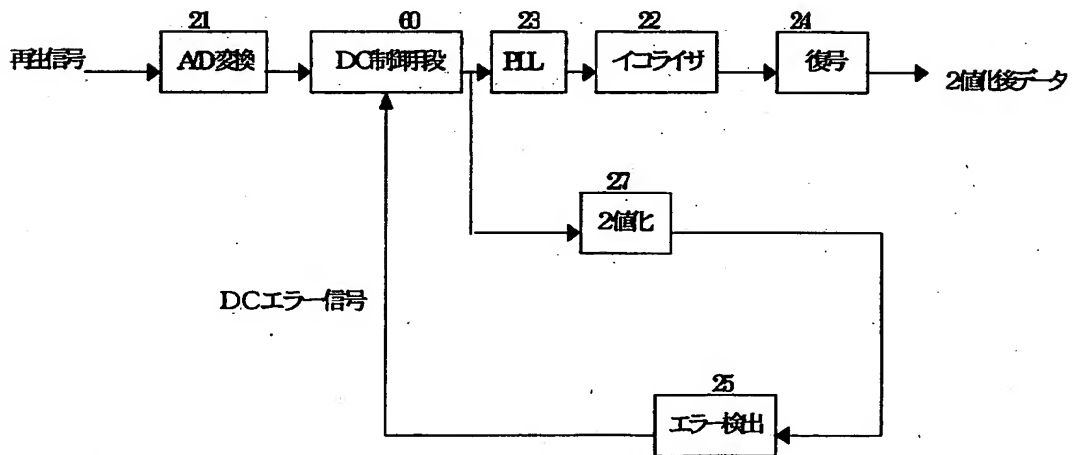
【図21】



【図22】



【図23】



【書類名】 要約書

【要約】

【課題】 再生信号のスライスレベルコントロールを行っているものの、記録される変調信号の変調コードパターンに偏りが生じた場合に、誤動作を起こし、正しい検出を行うことが出来ないため、変調効率が改善されていなかった。

【解決手段】 本発明は上記の目的を達成するため、2値化後信号のラン長の上下非対称性と、その長さを利用して変調コードパターンの偏りを検出し、コード偏り検出結果に基づき、スライスレベル制御における応答特性を変化させる、もしくはその制御をホールドする応答特性制御を行うことにより、正しい再生データが得られ、変調コードパターンの偏りに迅速に対応し、かつ、従来の特性に影響を与えない、さらに小規模で構成できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地

氏 名 日本ビクター株式会社